

BEST AVAILABLE COPY

English Translation of Abstract of Taiwanese Utility Model Patent
Publication No. 250244 (Application No. 84201867)

Output Buffer Circuit

An output buffer circuit with advantageous characteristics including low noise, high drive capability, high speed output and easy layout, has an initial starting voltage settable as desired, and allows selection of applications at different voltages. The output buffer circuit includes: a voltage source (Vcc); a ground point (GND); a pull-up driver circuit (400) including a pull-up driving element (402) which is electrically connected to the voltage source and has a first input terminal (PU); a reference voltage circuit (Q10) for providing a reference voltage; a first initial voltage circuit (Q12, Q16), electrically connected to the first input terminal, for providing the first input terminal with an initial voltage; a voltage-increasing circuit (Q15), electrically connected to the first input terminal, for increasing the value of a voltage on the first input terminal from the initial voltage; a control circuit (Q13) having three control terminals, a first one (D13) of the control terminals being electrically connected to the reference voltage circuit so as to receive the reference voltage, a second one (G13) of the control terminals being electrically connected to the first input terminal, a third one (S13) of the control terminals being electrically connected to the voltage-increasing circuit; after the reference voltage circuit, the voltage-increasing circuit and the control circuit are actuated, the control circuit causes the voltage on the third control terminal to increase in response to an increase in the voltage on the first input terminal, and further causes the voltage on the first input terminal to be further increased by the voltage-increasing circuit until the voltage on the first control terminal is equal to the voltage on the third control terminal, at that time the voltage on the first input terminal will not increase anymore; a first data input (406) for receiving a signal entered into the pull-up driving element so as to actuate the reference voltage circuit, the voltage-increasing circuit and the control circuit; and a push-down driver circuit (401) including a push-down driving element (404) electrically connected between the pull-up driving element (402) and the ground point (GND), the push-down driving element having a second input terminal (PD).

(11)公告編號：250244

(44)中華民國84年(1995)06月21日

新 型

全 7 頁

(51)Int. Cl. 5 : H03K19/0175
H03F21/00

第 89126915 號
初審(訴願)引証附件
再審

(54)名 稱：輸出緩衝器電路

(21)申 請 案 號：84201867

(22)申請日期：中華民國84年(1995)02月10日

(72)創 作 人：

林玉潭

新竹縣竹東鎮光明路七十六巷四十五號

(71)申 請 人：

台灣茂矽電子股份有限公司

新竹市科學工業園區研發一路一號

(74)代 理 人：

1

2

[57]申請專利範圍：

1.一種輸出緩衝器電路，包括：

一電壓源；

一接地點；

一拉上驅動元件電路，包括：

一拉上電晶體，電連接於該電壓源，該拉上電晶體具有一拉上電晶體閘極；

一第一初始電壓電路，電連接於該拉上電晶體閘極，用以提供該拉上電晶體閘極一拉上電晶體初始開啓電壓值；

一參考電壓電路，用以提供一參考電壓；

一增值電壓電路，電連接於該拉上電晶體閘極，用以使該拉上電晶體閘極之電壓值由該拉上電晶體初始開啓電壓向上增加；

一控制電晶體，具有一汲極、一閘極及一源極，該控制電晶體之汲極電連接於該參考電壓電路以接受該參考電壓，該控制電晶體之閘極電連接於該拉上電晶體閘極，該控制電晶體之源極電連接

於該增值電壓電路；在該參考電壓電路、該增值電壓電路及該控制電晶體被作動後，因為該拉上電晶體閘極之電壓值增加而使該控制電晶體被開啓的程度加大且該拉上電晶體源極之電壓值增加，進而藉由該增值電壓電路使該拉上電晶體閘極之電壓值更為增加，直到該控制電晶體汲極之電壓等於該控制電晶體源極之電壓時，拉上電晶體閘極之電壓值不再增加；以及

一第一資料輸入點，電連接於該參考電壓電路及該增值電壓電路，用以接受進入該拉上驅動元件電路之信號以作動該參考電壓電路、該增值電壓電路及該控制電晶體；以及

一推下驅動元件電路，包括：

一推下電晶體，電連接於該拉上電晶體及該接地點之間，該推下電晶體具有一推下電晶體閘極。

2.如申請專利範圍第1項所述之輸出緩

公告本

250244

Citation of 1st O.A.

of Taiwanese Pat. Appln. No. 89126915

申請日期	PL. L. 10.
案 號	PL. 201.267.
類 別	403K/PL. Host 4/10

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	輸出緩衝器電路
	英 文	
二、發明 創作人	姓 名	林玉漳
	國 籍	中華民國
	住、居所	新竹縣竹東鎮二重里光明路76巷45號
三、申請人	姓 名 (名稱)	台灣茂矽電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹市科學工業園區研發一路一號
	代 表 人 姓 名	胡洪九

經濟部中央標準局員工消費合作社印製

裝

訂

線

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

250244

C5
D5

四、中文創作摘要(創作之名稱：

輸出緩衝器電路

一種輸出緩衝器電路，不但具有低雜訊、高推動能力、高速輸出、佈局簡單等優良特性，其初始開啓電壓亦可依需要而設定，且具有不同電壓應用的選擇權。本輸出緩衝器電路，包括：一電壓源；一接地點；一拉上驅動電路，包括：一拉上驅動元件，電連接於該電壓源，該拉上驅動元件具有一第一輸入端點；一參考電壓電路，用以提供一參考電壓；一第一初始電壓電路，電連接於該第一輸入端點，用以提供該第一輸入端點一初始電壓；一增值電壓電路，電連接於該第一輸入端點，用以使該第一輸入端點之電壓值由該初始電壓向上增加；一控制電路具有三個控制端點，第一控制端點電連接於該參考電壓電路以接受該參考電壓，第二控制端點電連接於該第一輸入端點，第三控制端點電連接於該增值電壓電路；在該參考電壓電路、該增值電壓電路及該控制電路被作動後，該控制電路因為該第一輸入端點之電壓增加而使該第三控制端點電壓增加，進而藉由該增值電壓電路使該第一輸入端點之電壓值更為增加，直到該第一控制端點電壓等於該第三控制端點電壓時，該第一輸入端點之電壓值不再增加；一第一資料輸入點，用以接受進入該拉上驅動元件之信號以作動該參考電壓電路、該增值電壓電路及該控制電路；以及一推下驅動元件電路，包括：一推下驅動元件，電連接於該拉上驅動元件電壓源及該接地點之間，該推下驅動元件具有一第二輸入端點。

英文創作摘要(創作之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

250244

C7
D7

五、創作說明 (1)

(一) 創作領域

本創作是有關於一種輸出緩衝器 (output buffer) 電路，其特點是它具有低雜訊 (low-noise) 及高推動能力 (high-drive capability)，而且其應用範圍很廣，可應用到一般 5 V 電壓至低電壓 3.3 V。

(二) 創作背景

如大家所熟知，數位邏輯線路，已被廣泛地應用在種種電子元件及電腦組件上，由於輸出緩衝器提供了一邏輯型式的線路與另一邏輯型式線路的介面，故其在數位邏輯線路之介面功能上佔了非常重要的角色。

所謂輸出緩衝器，其基本構造包括一拉上 (pull-up) 驅動元件 (driver) 及一推下 (pull-down) 驅動元件，兩者串聯在第一電源供應器端點與第二電源供應器端點之間。所謂第一電源供應器，可為一內部電壓源 V_{CC} ，一般為一正電壓，第二電源供應器可為一接到內部的地線，一般為 GND 或 V_{SS} ，而兩者的端點，即分別為第一與第二電源供應器端點。拉上驅動元件及推下驅動元件的接點即為此輸出緩衝器的輸出端點，聯接至後續的信號接收電路 (signal receiving circuitry)。

最簡單的拉上驅動元件為一拉上電晶體 (pull-up transistor)，而最簡單的推下驅動元件則為一推下電晶體 (pull-down transistor)。當一信號加於該拉上電晶體的閘極而使拉上電晶體開啓時，透過該拉上電晶體的低阻抗路徑

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

250244

C7
D7

五、創作說明 (2)

(low impedance path), 高邏輯位準電壓 (logic high voltage) 即被提供至該輸出端點。而當一信號加於該推下電晶體的閘極而使推下電晶體開啓時, 透過該推下電晶體的低阻抗路徑 (low impedance path), 輸出端點即耦合至接地點, 因此低邏輯位準電壓 (logic low voltage) 即被提供至該輸出端點。

隨著資訊科技的不斷進步, 系統存取資料速度的要求也愈來愈快, 而在其中牽涉儲存資料的記憶元件, 也就變得更加重要, 不但要求記憶元件有更多的輸出/入端子, 且希望在不消耗電流的情況下, 能更有效且快速地讀取資料。以往在記憶元件中的輸出緩衝器上, 大致有以下幾種做法:

(1) 如第1圖所示, 輸出緩衝器由拉上電晶體 102 與推下電晶體 104 串接而成, 拉上電晶體 102 與推下電晶體 104 各有一端點分別接到電壓源 110 及接地點 112, 而拉上電晶體 102 與推下電晶體 104 的接點 114 即為輸出端子 IO。而開 (turn on) 或關 (turn off) 上述之拉上電晶體 102 或推下電晶體 104, 完全由資料輸入訊號 (data input signal) DI 及輸出許可訊號 (output enable signal) OE 決定。換言之, 在 OE 訊號為高位準且 DI 訊號為高位準時, 拉上電晶體 102 開啓而推下電晶體 104 關閉; 而在 OE 訊號為高位準且 DI 訊號為低位準時, 拉上電晶體 102 關閉而推下電晶體 104 開啓。此種電路設計, 吾人發現其最大的缺點在於: 當快速

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

C7
D7

五、創作說明 (3)

的開或關拉上電晶體 102 或推下電晶體 104 時，同時也產生瞬間大電流 (current spikes)，而此瞬間大電流將流過電源線及接地線的阻抗與電感成份，使得輸出緩衝器內部電壓源及接地電壓產生過多的電感雜訊 (noise)，尤其對多 (multiple) 輸出端子，如此多的雜訊，會造成元件的工作不正常。

(2) 爲了改善上述瞬間大電流的缺失，另一種輸出緩衝器如第 2 圖所示，其拉上驅動元件 202 由多個拉上電晶體 206，208，210 並聯組合而成，而推下驅動元件 204，則由多個拉上電晶體 212，214，216 並聯組合而成，而其開與關的動作則是依序 (sequential) 的，因此大大地減小了瞬間大電流。但是在超大型積體電路上，一般輸出緩衝器的輸出端子，所要推動的負載 (loading) 由幾十 PF 到一佰 PF，因此拉上電晶體與推下電晶體寬度 (width) 均相當地大，特別是講求高速的元件，拉上電晶體與推下電晶體其寬度範圍從幾百單位寬 (micron) 至接近一千單位寬 (micron)。如第 2 圖所示，其拉上驅動元件 202 及推下驅動元件 204 分別由三個拉上電晶體 206，208，210 及三個推下電晶體 212，214，216 組合而成，電晶體 206，208，210，212，214，216 其寬度約爲第一圖中拉上電晶體與推下電晶體寬度三分之一。由於第 2 圖之輸出緩衝器一共使用了三個拉上電晶體與三個推下電晶體；相對於第 1 圖所示之輸出緩衝器 (僅使用了一個拉上電晶體與一個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

250244

C7
D7

五、創作說明(4)

推下電晶體)，此種設計雖然可以減少瞬間大電流的產生，但卻也大大地增加佈局的複雜性及面積。此外，對於拉上驅動元件而言，由於 NMOS 在充電時，隨著充電時間增加，汲極到源極電壓 V_{ds} (gate-to-source voltage) 與集極到源極電壓 V_{ds} (drain-to-source voltage) 的電壓差值變得愈來愈小，造成充電期間後段充電速度爬升趨緩，因此此種電路設計雖改善了雜訊，但對於速度並沒有很大的改善。

(3) 而第三種電路設計則如第3圖所示，拉上驅動元件 302 由兩個拉上電晶體 306，308 並聯，推下驅動元件 304 則由兩個推下電晶體 310，312 並聯，而拉上驅動元件 302 之拉上電晶體 306 其閘極接到接點 314，而接受正常的開關電壓值，而拉上驅動元件 302 之拉上電晶體 308 其閘極則接到經過延遲且增值的電壓源 (bootstrap) 316 以接受經過延遲的開關電壓值，此種設計雖可改善雜訊及增快充電速度，但因一共使用了二個拉上電晶體與二個推下電晶體，同樣也增加了佈局的複雜性及面積。

鑑於上述蓄用電路的缺點，創作人悉心研究，創作一種具有低雜訊、高推動能力之輸出緩衝器。

(三) 創作之簡要說明

本創作之第一目的即是在提供一種低雜訊、高推動能力，高速的輸出緩衝器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

250244

C7
D7

五、創作說明 (5)

本創作之另一目的在提供一輸出緩衝器，其驅動元件之初始開啓電壓可依需要而設定之。

本創作之再一目的即是在提供一種輸出緩衝器電路，能大大地減少佈局的複雜性及面積。

本創作之再一目的即是在提供一輸出緩衝器電路，具有不同電壓應用的選擇權，在低電壓應用時如 3.3 V，並不會因此明顯地降低輸出速度。

現配合圖示，說明本創作如後。

(四) 圖示的簡要說明

- ✓第 1 圖為一種傳統輸出緩衝器之電路圖。
- ✓第 2 圖為另一種傳統輸出緩衝器之電路圖。
- ✓第 3 圖為另一種傳統輸出緩衝器之電路圖。
- ✓第 4 圖為本創作輸出緩衝器之電路圖。
- ✓第 5 圖為本創作在高電壓源 5 伏，輸出為 "1" 時，電路上各點 OE、PU、N3、N7、IO 之電壓-時間圖。
- ✓第 6 圖為本創作在高電壓源 5 伏，輸出為 "0" 時，電路上各點 OE、PD、N3、N7、IO 之電壓-時間圖。
- ✓第 7 圖為本創作在高電壓源 3.3 伏，輸出為 "1" 時，電路上各點 OE、PU、N3、N7、IO 之電壓-時間圖。
- ✓第 8 圖為本創作在高電壓源 3.3 伏，輸出為 "0" 時，電路上各點 OE、PD、N3、N7、IO 之電壓-時間圖。

(五) 較佳實施例之詳細說明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

250244

C7
D7

五、創作說明(6)

以下為本創作之較佳實施例的詳細說明，本說明只是嘗試說明本創作而非限制本創作。

參見第4圖，根據本創作一種輸出緩衝器電路，包括：

一電壓源 V_{cc} 及一接地點 GND；
一拉上驅動元件電路 400 包括：一拉上驅動元件 402 可為一拉上電晶體，電連接於該電壓源 V_{cc} ，該拉上驅動元件 402 具有一第一輸入端點 PU (可為該拉上電晶體之閘極)；
一第一初始電壓電路包括電晶體 Q_{12} 、 Q_{16} ，電連接於該第一輸入端點 PU，用以提供該第一輸入端點 PU 一拉上驅動元件初始開啓電壓 (電晶體 Q_{10} 、 Q_{11} 的路徑也對提供該第一輸入端點 PU 初始開啓電壓有作用)；
一參考電壓電路包括電晶體 Q_{10} ，用以提供一參考電壓；
一增值電壓電路 Q_{15} 可為一電容，透過電晶體 Q_{16} 電連接於該第一輸入端點 PU，用以使該第一輸入端點 PU 之電壓值由該拉上驅動元件初始開啓電壓向上增加；
一控制電路可為電晶體 Q_{13} ，具有一汲極 D13、一閘極 G13 及一源極 S13，該控制電晶體 Q_{13} 之汲極 D13 電連接於該參考電壓電路 Q_{10} 以接受該參考電壓，該控制電晶體 Q_{13} 之閘極 G13 電連接於該拉上電晶體閘極 PU，該控制電晶體 Q_{13} 之源極 S13 電連接於該增值電壓電路 Q_{15} ，在該參考電壓電路 Q_{10} 、該增值電壓電路 Q_{15} 及該控制電晶體 Q_{13} 被作動後，因為該拉上電晶體 402 閘極 PU 之電壓值增加而使該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

250244

C7
D7

五、創作說明 (7)

控制電晶體 Q13 被開啓的程度加大且該控制電晶體 Q13 源極 S13 之電壓值增加，進而藉由該增值電壓電路 Q15 使該拉上電晶體閘極 PU 之電壓值更為增加，直到該控制電晶體 Q13 汲極 D13 之電壓等於該控制電晶體源極 S13 之電壓時，拉上電晶體 402 閘極 PU 之電壓值不再增加；一第一資料輸入點 406，電連接於該參考電壓電路 Q10 及該第一初始電壓電路 Q16、Q12，用以接受進入該拉上驅動元件電路 400 之信號以作動該參考電壓電路 Q10、該增值電壓電路 Q15 及該控制電晶體 Q13、及該第一初始電壓電路 Q16、Q12；

一推下驅動元件電路 401，包括：一推下驅動元件 404，可為一推下電晶體，電連接於該拉上驅動元件 402 及該接地點 GND 之間，該推下驅動元件具有一第二輸入端點 PD (可為該推下電晶體之閘極)。一第二資料輸入點 408，用以接受進入該推下驅動元件電路 401 之信號；一第二初始電壓電路可為電晶體 Q21、Q22，電連接於第二資料輸入點 408，用以提供該第二輸入端點 PD 一推下驅動元件初始開啓電壓；一延遲電路 BL1，電連接於該第二資料輸入點 408，用以延遲由該第二資料輸入點輸入 408 的資料；一第一電晶體 Q25，其汲極電連接於該電壓源 V_{CC} ，其閘極電連接於該第二資料輸入點 408，用以使該第二輸入端點 PD 電壓增加；一第二電晶體 Q26，其汲極電連接於該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

250244

C7
D7

五、創作說明 (8)

第一電晶體 Q_{25} ，其閘極電連接於該延遲電路 BL1 以接受該延遲的資料並使該第二輸入端點 PD 電壓增加；以及一輸出端點 IO 電連接於拉上電晶體 402 及推下電晶體 404 接點。

為方便說明本創作工作原理，高電壓源 (5伏) 及低電壓源 (3.3伏) 的應用將分別說明。

在電壓源為 5 伏時，吾人又可分別討論當輸出為 "1" 時及當輸出為 "0" 時之工作原理：

(a) 輸出為 "1" 時 (拉上電晶體 402 開啓，推下電晶體 404 關閉)：

參見第 4 圖，在電壓源為 5 伏時，P 型電晶體 Q_{14} 的閘極端輸入信號 LV 為高位準電壓 (logic 1)，電晶體 Q_{14} 為關閉 (off) 狀態，故在此暫不予討論。電壓 VR 為一由數位邏輯電路所產生之 DC 電壓，可經由電路設計設定在某一適當之位準，通常設定在小於或等於電壓源的範圍 (如 $2V \leq VR \leq 5V$)，因此當輸入訊號 DI 為高位準，而且輸出許可訊號 OE 亦為高位準時，電晶體 Q_{10} 、 Q_{11} 、 Q_{12} 、 Q_{13} 、 Q_{16} 為開啓 (on) 狀態，因此經由電晶體 Q_{10} 及 Q_{11} 的路徑及電晶體 Q_{12} 及 Q_{16} 的路徑，拉上驅動元件 402 之閘極 (即 PU 點) 即被充電至 $VR - V_t$ ，其中 V_t 為電晶體 Q_{11} 及 Q_{12} 之臨限電壓 (threshold voltage) 值。同時，由於電晶體 Q_{13} 也被打開，而使 V_{cc} 對節點 N3 充電，而使節點 N3 的電位由 0 往上充，因此節點 N7 的電位，也經

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

250244

C7
D7

五、創作說明(9)

由電容 Q_{15} 的路徑而往上提高，再經由電晶體 Q_{16} 傳導，將拉上電晶體 402 的閘極電位再往上提高。因為拉上電晶體 402 的閘極電位往上提高，故電晶體 Q_{13} 被打開的程度就越大，因此節點 N_3 的電位再往上充，如此週而復始，直到節點 N_3 的電位達到電壓源電壓 V_{cc} (即電晶體 Q_{13} 之汲極 D_{13} 及源極 S_{13} 電壓相等)，電晶體 Q_{13} 關閉，而此時拉上驅動元件的閘極電壓也達到了增值電壓值。第 5 圖為本創作在高電壓源 5 伏情況，輸出為 "1" 時，電路上各點 OE、PU、 N_3 、 N_7 、IO 之電壓-時間圖。

(b) 輸出為 "0" 時 (拉上電晶體 402 關閉，推下電晶體 404 開啓)

同樣參見第 4 圖，當輸入訊號 DI 為低位準，而且輸出許可訊號 OE 為高位準時，拉下電晶體 404 之閘極端電壓 (即 PD 點電壓) 即經由電晶體 Q_{21} 及電晶體 Q_{22} 被充電至 $VR-V_t$ ，其中 V_t 為電晶體 Q_{21} 之臨限電壓。由於電晶體 Q_{26} 的閘極輸入端電壓經由一延遲電路 BL1 的延遲，而電晶體 Q_{25} 的輸入端電壓並不經由延遲電路 BL1 的延遲，故如第 6 圖所示之曲線 PD，首先藉由電晶體 Q_{25} 的充電 (由於延遲電路 BL1 的延遲，電晶體 Q_{26} 尚未打開)，接著再經由電晶體 Q_{25} 及電晶體 Q_{26} 的充電 (此時電晶體 Q_{26} 已打開)，最後節點 PD 被充電至電壓源。在高電壓源 5 伏情況，輸出為 "0" 時，電路上其他各點 OE、 N_3 、 N_7 、IO 之電壓-時間圖均示於第 6 圖。在電壓源為 5 伏時，反開

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

250244

C7
D7

五、創作說明 (10)

410 的輸入信號 LV 為高位準電壓，故電晶體 Q₂₄ 為關閉狀態，可藉此調整較長之延遲時間。另外，我們在推下驅動元件，並不使用增值電壓電路，原因是因為推下驅動元件之閘極到源極電壓可以一直維持在一高的電位差（由於源級接地）。

而在電壓源為 3.3 伏時，吾人同樣分別討論當輸出為 "1" 時及當輸出為 "0" 時之工作原理：

(a) 輸出為 "1" 時（拉上電晶體 402 開啓，推下電晶體 404 關閉）

由於電壓源較小，相對地對同樣的元件，所產生的雜訊也較小，因此此時輸出速度，反而變成重要的考慮因素，應用在低電壓源時，在本設計我們可藉由將 LV 接到低電位源（一般為接地點），因此在讀出為高電位資料時，拉上電晶體 402 的閘極 PU 經由電晶體 Q₁₆ 被充電至 $V_R - V_t$ （其中 V_t 為電晶體 Q₁₂ 之臨限電壓），而此時同時經由電晶體 Q₁₃ 及電晶體 Q₁₄，節點 N3 很快地被充電至電壓源（由於 LV 接到低電位源，電晶體 Q₁₄ 被開啓）。再經由電容 Q₁₅ 將節點 N7 提高到增值電壓值，而 Q₁₆ 則將增值過的電壓，傳導至拉上驅動電晶體 402 之閘極。參見第 7 圖，所示為本創作在低電壓源 3.3 伏，輸出為 "1" 時，電路上各點 OE、PU、N3、N7、IO 之電壓-時間圖。

(b) 輸出為 "0" 時（拉上電晶體 402 關閉，推下電晶體 404 開啓）：

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

250244

C7
D7

五、創作說明 (11)

工作原理如同在 5V 電壓源所述，但此時 Q24 也被打開，可經由調整 Q24 寬度大小，將延遲電路 BL1 的延遲時間縮短，加速推下驅動元件達到電壓源。第 8 圖所示為本創作在低電壓源 3.3 伏，輸出為 "0" 時，電路上各點 OE、PD、N3、N7、IO 之電壓-時間圖。

在此我們再觀察第 5 圖至第 8 圖，第 5 圖及第 6 圖為高電壓(5V)應用時，本創作電路上各點 OE、PU (PD)、N3、N7、IO 之電壓-時間圖。由第 5 圖中之 PU 曲線，吾人可觀察出在 t1 時，PU 曲線已達到拉上驅動元件初始開啓電壓，之後再連續地上昇至增值電壓值。而在第六圖中之 PD 曲線則分兩段上昇，最後到達電壓源值 Vcc。而第 7 圖及第 8 圖為低電壓(3.3V)應用時，本創作電路上各點 OE、PU (PD)、N3、N7、IO 之電壓-時間圖，曲線圖大致與與第 5 圖及第 6 圖相似，惟到達增值電壓值及電壓源值 Vcc 的速度較快。

由以上所述，吾人可以了解本創作具有下列優點：

- ✓(1) 因為本創作具有一組第一初始開啓電壓電路，可依需要而設定其拉上驅動元件之初始開啓電壓，其電壓值可設定在小於電壓源的某一位準，或與電壓源等值之位準，而將初始開啓電壓，設定在低於電壓源的某一位準，可因此而大大減小因瞬間開啓驅動元件，所造成電流過大問題，故本創作之輸出緩衝器內部電壓源及接地電壓產生的電感雜訊 (noise) 大幅減小；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

250244

C7
D7

五、創作說明 (12)

✓(2) 由於本創作輸出緩衝器之拉上電晶體閘極電壓在拉上電晶體動作時會逐漸地增加，其增加的程度大約和拉上電晶體源極電壓（即輸出緩衝器輸出IO）相同，故拉上電晶體閘極及源極壓差 V_{gs} 其變化相當小，換言之，在拉上電晶體動作期間末段，仍然保持相當好的推動能力；然而，傳統之緩衝器之拉上電晶體閘極電壓在拉上電晶體動作時一直保持定值，但拉上電晶體源極電壓（即輸出緩衝器輸出IO電壓）卻一直上昇，故拉上電晶體閘極及源極間電壓 V_{gs} 一直減小，因此在拉上電晶體動作期間末段，其推動能力變得很差。此外，雜訊也是影響推動能力的另一個因素：雜訊越小，推動能力越好，本創作之輸出緩衝器內部電壓源及接地電壓產生的電感雜訊相當小，故推動能力較好。兩相比較之下，本創作之輸出緩衝器具有相當好的推動能力。

✓(3) 比較起第一圖及第二圖所示之傳統輸出緩衝器，本創作明顯具有較高速的輸出能力。第三圖所示之輸出緩衝器雖然可以調整延遲時間來加快輸出能力，但仍有不易控制延遲時間的缺點，延遲時間過短，同樣造成瞬間大電流的問題，延遲時間過長，則速度過慢。

✓(4) 第三圖所示之輸出緩衝器，其初始開啓電壓與增值開啓電壓各應用一個拉上電晶體，而本創作則因有一組初始電壓電路將拉上電晶體閘極設定一初使開啓電壓，及一組增值電路將拉上電晶體閘極由初使開啓電壓提昇至增值開

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

250244

C7
D7

五、創作說明 (13)

啓電壓；至於推下驅動元件閘極，則經由一未經過延遲電路及一經過延遲電路的電晶體而起將其提昇至電壓源電壓。故本創作之輸出緩衝器，其拉上與推下驅動元件各只用一拉上與推下電晶體，故能大大地減小佈局的複雜性及面積。此外，其驅動元件的寬度並不需要太大。

✓(5) 本創作還有一特色：提供一高電壓應用及低電壓應用的選擇權。在低電壓應用時如 3.3 V，本電路可經由一加速增值電路 Q15 充電的電路（在拉上驅動電路為電晶體 Q14，在推下驅動電路為電晶體 Q24），使得拉上電晶體很快達到增值電壓位準，而推下電晶體閘極很快達到電壓源位準，因此本創作應用在外接低電壓源時，並不會因此明顯地降低輸出速度或延遲電路 BL1 的延遲時間。

本創作之輸出緩衝器電路，其特性優於傳統習用輸出緩衝器電路，熟習於此技藝之人士，於詳細閱完本說明書，當得任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲得保護者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

250244

A8
B8
C8
D8

六、申請專利範圍

1. 一種輸出緩衝器電路，包括：

一電壓源；

一接地點；

一拉上驅動元件電路，包括：

一拉上電晶體，電連接於該電壓源，該拉上電晶體具有一拉上電晶體閘極；

一第一初始電壓電路，電連接於該拉上電晶體閘極，用以提供該拉上電晶體閘極一拉上電晶體初始開啓電壓值；

一參考電壓電路，用以提供一參考電壓；

一增值電壓電路，電連接於該拉上電晶體閘極，用以使該拉上電晶體閘極之電壓值由該拉上電晶體初始開啓電壓向上增加；

一控制電晶體，具有一汲極、一閘極及一源極，該控制電晶體之汲極電連接於該參考電壓電路以接受該參考電壓，該控制電晶體之閘極電連接於該拉上電晶體閘極，該控制電晶體之源極電連接於該增值電壓電路；在該參考電壓電路、該增值電壓電路及該控制電晶體被作動後，因為該拉上電晶體閘極之電壓值增加而使該控制電晶體被開啓的程度加大且該拉上電晶體源極之電壓值增加，進而藉由該增值電壓電路使該拉上電晶體閘極之電壓值更為增加，直到該控制電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

250244

A8
B8
C8
D8

六、申請專利範圍

汲極之電壓等於該控制電晶體源極之電壓時，拉上電晶體閘極之電壓值不再增加；以及

一第一資料輸入點，電連接於該參考電壓電路及該增值電壓電路，用以接受進入該拉上驅動元件電路之信號以作動該參考電壓電路、該增值電壓電路及該控制電晶體；以及

一推下驅動元件電路，包括：

一推下電晶體，電連接於該拉上電晶體及該接地點之間，該推下電晶體具有一推下電晶體閘極。

2. 如申請專利範圍第1項所述之輸出緩衝器電路，其中該增值電壓電路為一電容。

3. 如申請專利範圍第1項所述之輸出緩衝器電路，更包括一加速增值電路與該控制電晶體電連接以加快該拉上電晶體閘極之電壓值向上增加的速度。

4. 如申請專利範圍第1項所述之輸出緩衝器電路，該加速增值電路為一與該控制電晶體並聯的電晶體。

5. 如申請專利範圍第1項所述之輸出緩衝器電路，該推下驅動元件電路更包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

250244

A8
B8
C8
D8

六、申請專利範圍

一第二資料輸入點，用以接受進入該推下驅動元件電路之信號；

一第二初始電壓電路，電連接於該推下電晶閘極，用以提供該推下電晶閘極一推下電晶體初始開啓電壓；

一延遲電路，電連接於該第二資料輸入點，用以延遲由該第二資料輸入點之信號；

一第一電晶體，該第一電晶體之閘極電連接於該第二資料輸入點以接受進入該第二資料輸入點之信號；

一第二電晶體，該第二電晶體之閘極電連接於該延遲電路以接受該延遲的信號，該第二電晶體之汲極電連接於該第一電晶體之源極，該第二電晶體之源極電連接於該推下電晶體閘極。

6/一種輸出緩衝器電路，包括：

一電壓源；

一接地點；

一拉上驅動電路，包括：

一拉上驅動元件，電連接於該電壓源，該拉上驅動元件具有一第一輸入端點；

一參考電壓電路，用以提供一參考電壓；

一第一初始電壓電路，電連接於該第一輸入端點，用以提供該第一輸入端點一拉上驅動元件初始電壓；

(請先閱讀背面之注意事項再填寫本頁)

裝

打

線

250244

A8
B8
C8
D8

六、申請專利範圍

一增值電壓電路，電連接於該第一輸入端點，用以使該第一輸入端點之電壓值由該拉上驅動元件初始電壓向上增加；

一控制電路具有三個控制端點，第一控制端點電連接於該參考電壓電路以接受該參考電壓，第二控制端點電連接於該第一輸入端點，第三控制端點電連接於該增值電壓電路；在該參考電壓電路、該增值電壓電路及該控制電路被作動後，該控制電路因為該第一輸入端點之電壓增加而使該第三控制端點電壓增加，進而藉由該增值電壓電路使該第一輸入端點之電壓值更為增加，直到該第一控制端點電壓等於該第三控制端點電壓時，該第一輸入端點之電壓值不再增加；

一第一資料輸入點，用以接受進入該拉上驅動元件之信號以作動該參考電壓電路、該增值電壓電路及該控制電路。

✓如申請專利範圍第 6 項所述之輸出緩衝器電路，其中該拉上驅動元件為一拉上電晶體，該第一輸入端點為該拉上電晶體之閘極。

8/如申請專利範圍第 6 項所述之輸出緩衝器電路，其中該推下驅動元件為一推下電晶體，該第二輸入端點為該推下電晶體之閘極。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

250244

A8
B8
C8
D8

六、申請專利範圍

8. 如申請專利範圍第 6 項所述之輸出緩衝器電路，其中該增值電壓電路為一電容。

9. 如申請專利範圍第 6 項所述之輸出緩衝器電路，其中該控制電路為一控制電晶體，該第一控制端點為該控制電晶體之汲極、該第二控制端點為該控制電晶體之閘極，該第三控制端點為該控制電晶體之源極。

10. 如申請專利範圍第 10 項所述之輸出緩衝器電路，其中在該參考電壓電路、該增值電壓電路及該控制電路被作動後，該控制電晶體因為該第一輸入端點之電壓增加而使該控制電晶體被開啓的程度加大且該控制電晶體之源極之電壓值增加，進而藉由該增值電壓電路使該第一輸入端點之電壓值更為增加，直到該控制電晶體汲極之電壓等於該控制電晶體源極之電壓值時，第一輸入端點之電壓不再增加。

11. 如申請專利範圍第 6 項所述之輸出緩衝器電路，更包括一推下驅動元件電路，該推下驅動元件電路包括：

一推下驅動元件，電連接於該拉上驅動元件及該接地點之間，該推下驅動元件具有一第二輸入端點。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

250244

A8
B8
C8
D8

六、申請專利範圍

13. 如申請專利範圍第 12 項所述之輸出緩衝器電路，該推下驅動元件電路更包括：

- 一第二資料輸入點，用以接受進入該推下驅動元件之信號；
- 一第二初始電壓電路，電連接於該第二輸入端點，用以提供該第二輸入端點一推下驅動元件初始電壓；
- 一延遲電路，電連接於該第二資料輸入點，用以延遲由該第二資料輸入點輸入的資料；
- 一第二電晶體，其汲極電連接於該第一電晶體，其閘極電連接於該延遲電路以接受該延遲的資料。
- 一第一電晶體，該第一電晶體之閘極電連接於該第二資料輸入點以接受進入該第二資料輸入點之信號；
- 一第二電晶體，該第二電晶體之閘極電連接於該延遲電路以接受該延遲的資料，該第二電晶體之汲極電連接於該第一電晶體之源極，該第二電晶體之源極電連接於該第二輸入端點。

14. 如申請專利範圍第 6 項所述之輸出緩衝器電路，更包括一電晶體與該控制電路並聯以加快該拉上電晶體閘極之電壓值向上增加的速度。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

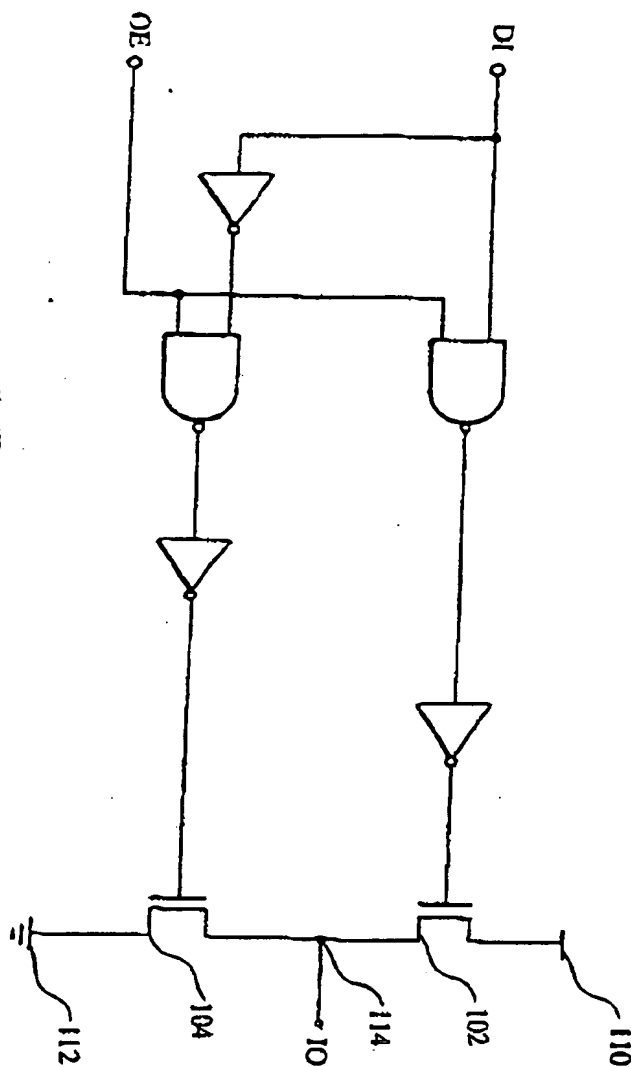
線

250244

A9
B9
C9
D9

圖式

第1圖 (PRIOR ART)



(請先閱讀背面之注意事項再行繪製)

裝

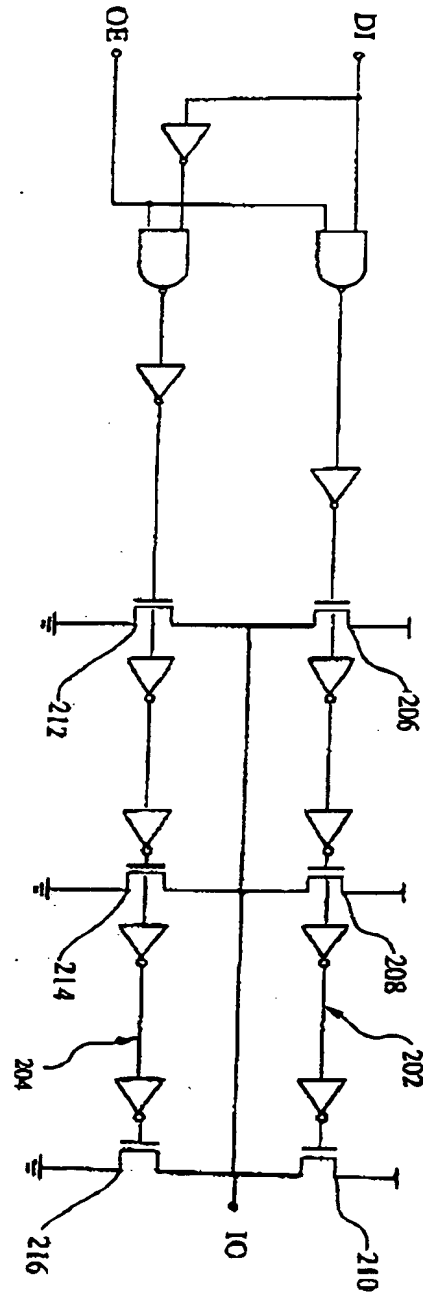
訂

線

250244

A9
B9
C9
D9

圖式



第2圖 (PRIOR ART)

(請先閱讀背面之注意事項再行繪製)

裝

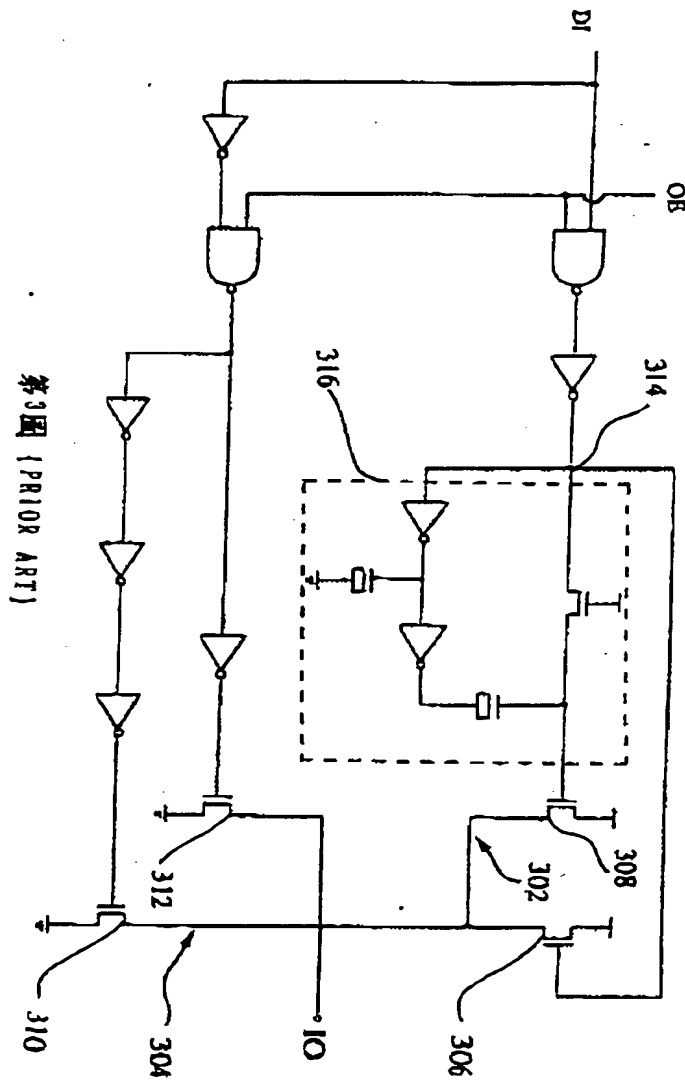
訂

錄

250244

A9
B9
C9
D9

圖式



第3圖 (PRIOR ART)

(請先閱讀背面之注意事項再行繪製)

裝

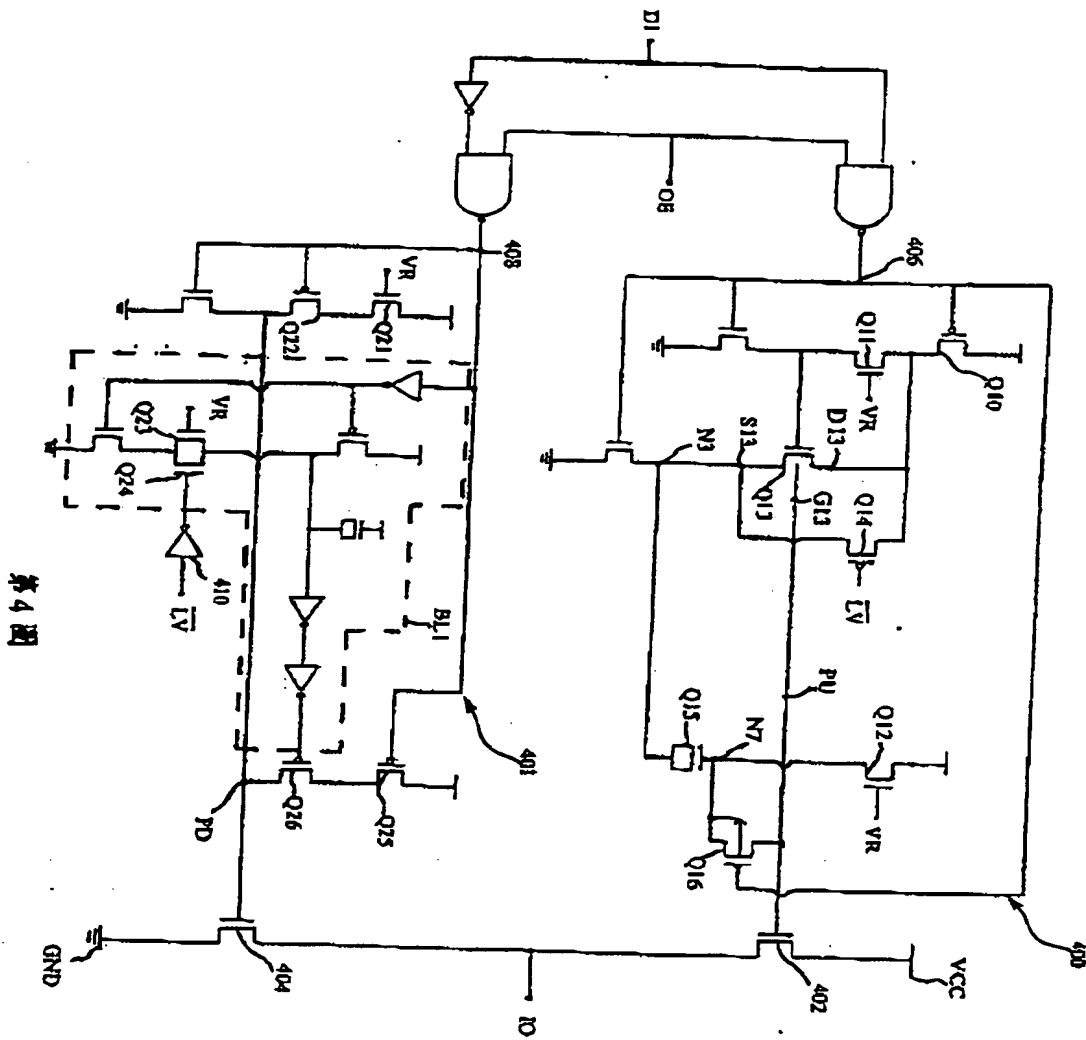
訂

線

250244

A9
B9
C9
D9

圖式



第4圖

(請先閱讀背面之注意事項再行繪製)

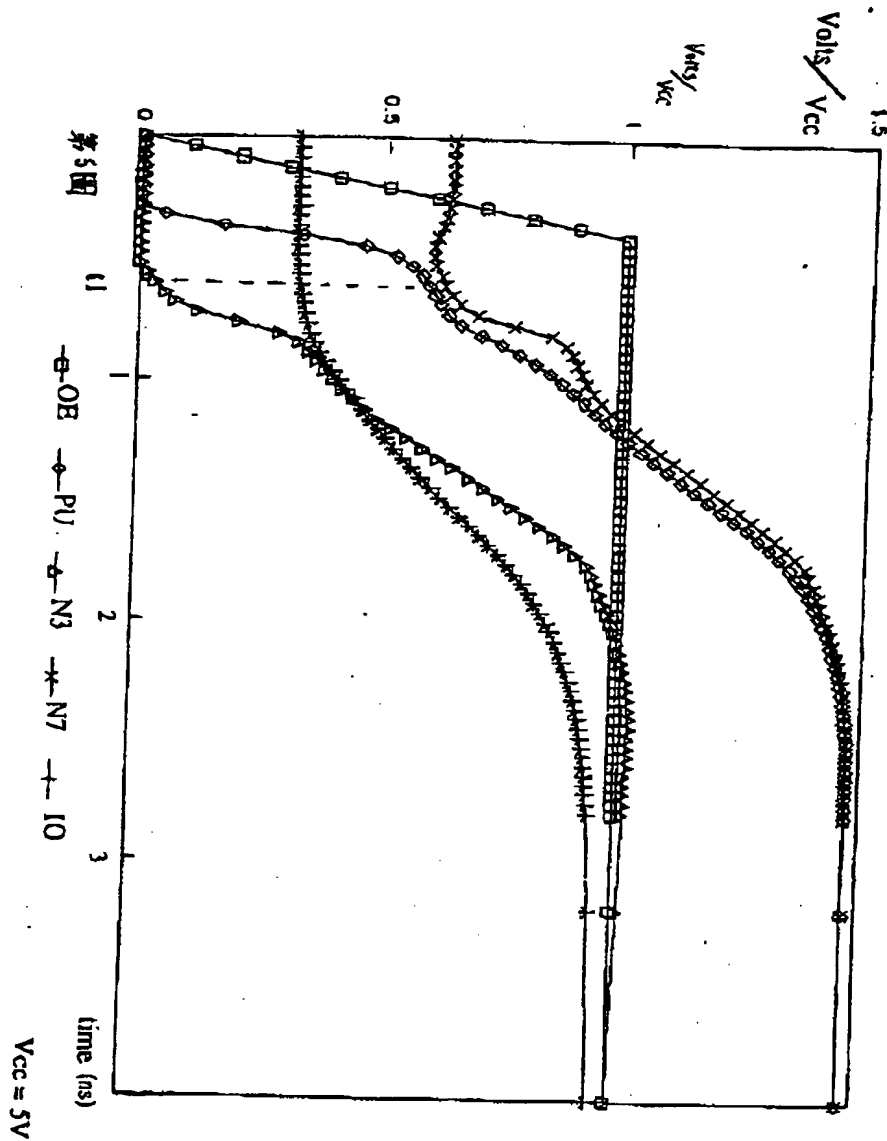
裝

訂

250244

A9
B9
C9
D9

圖式



(請先閱讀背面之注意事項再行繪製)

裝

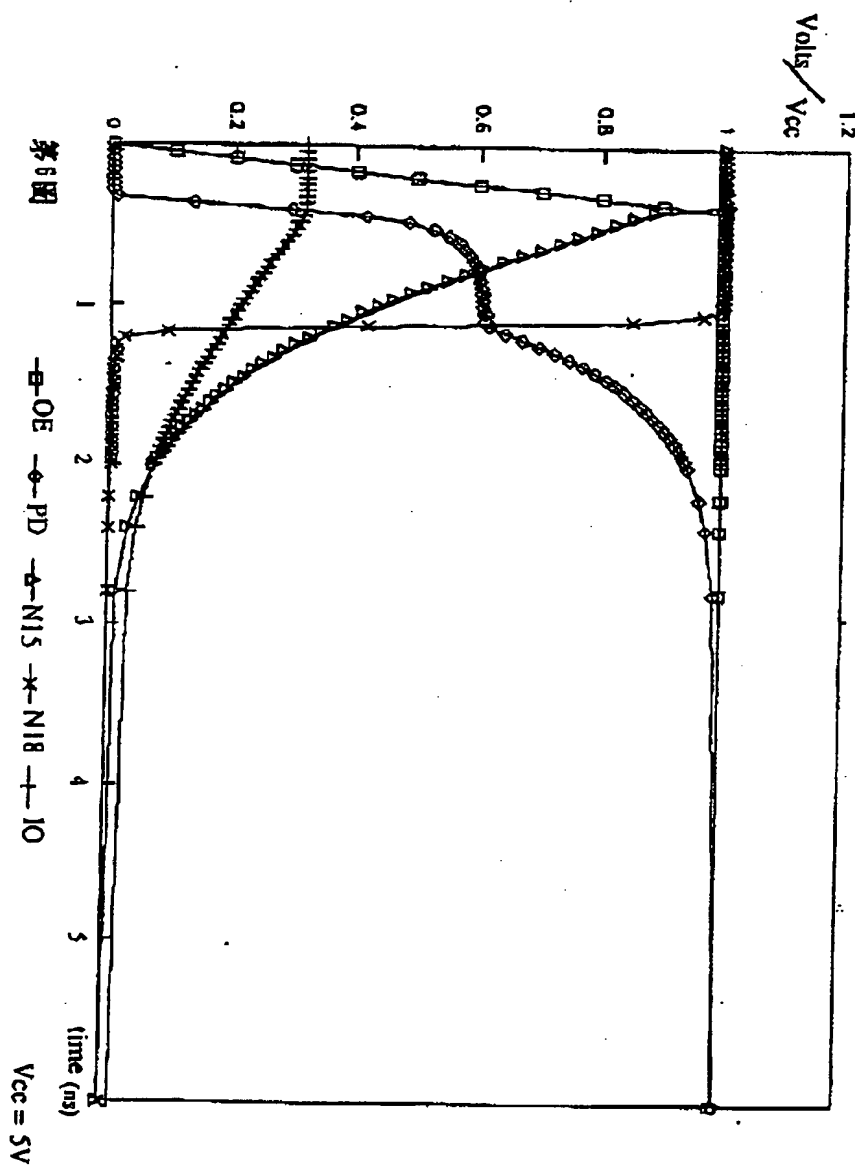
訂

線

50244

A9
B9
C9
D9

圖式



(請先閱讀背面之注意事項再行繪製)

裝

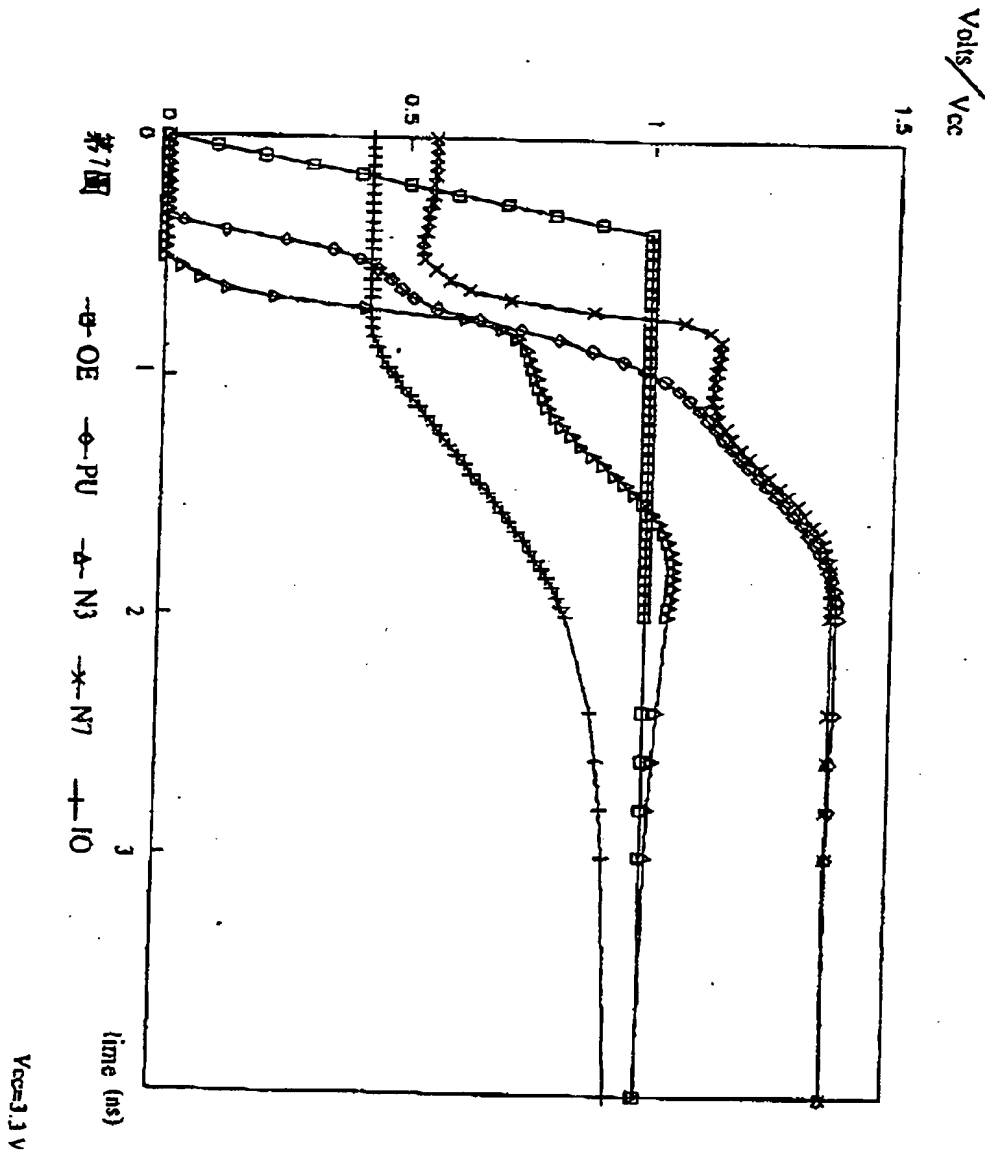
訂

線

250244

A9
B9
C9
D9

圖式



(請先閱讀背面之注意事項再行繪製)

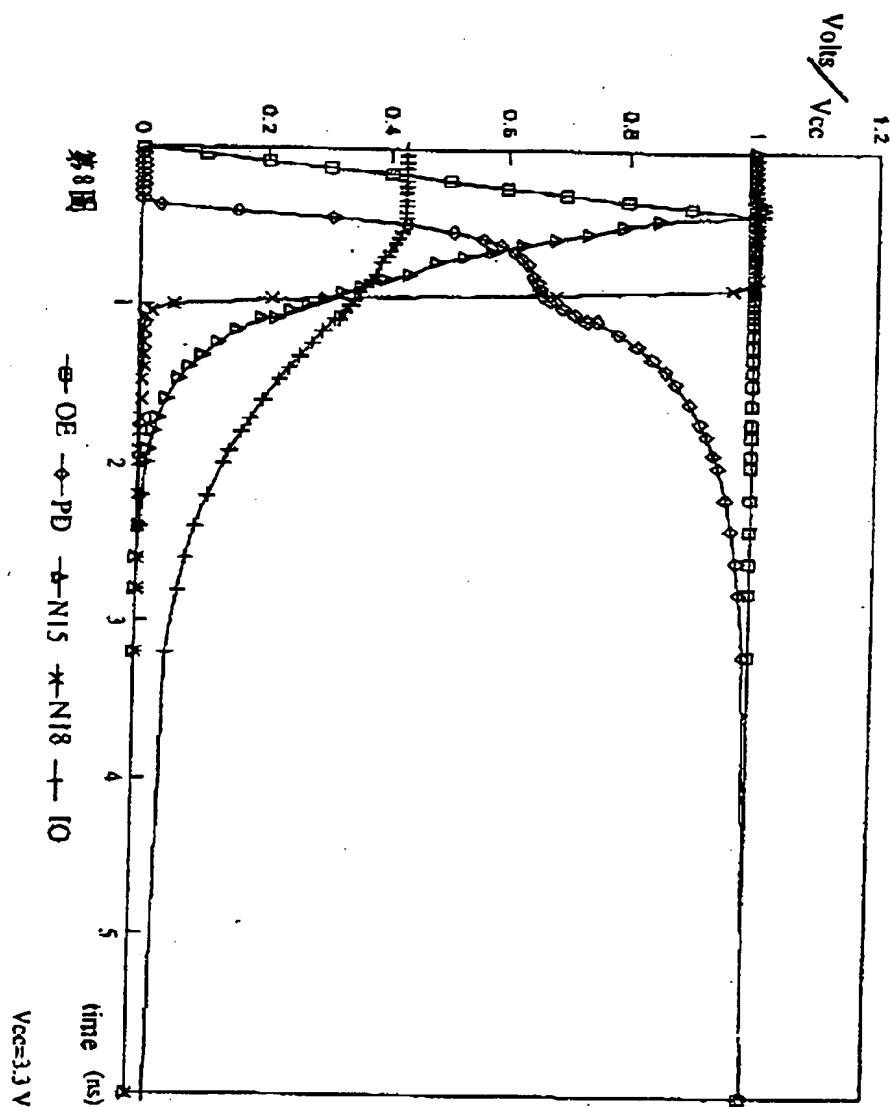
裝

訂

50244

A9
B9
C9
D9

圖式



(請先閱讀背面之注意事項再行繪製)

裝

訂

線

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☒ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.